

PAT-NO: JP02002299372A

DOCUMENT-IDENTIFIER: JP 2002299372 A

**TITLE: SEMICONDUCTOR DEVICE, MANUFACTURING METHOD OF THE
SEMICONDUCTOR DEVICE AND PACKAGING METHOD OF THE SEMICONDUCTOR DEVICE**

PUBN-DATE: October 11, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
NAKAJIMA, SATOSHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEIKO EPSON CORP	N/A

APPL-NO: JP2001096869

APPL-DATE: March 29, 2001

INT-CL (IPC): H01L021/60, H01L021/301 , H01L021/3205

ABSTRACT:

PROBLEM TO BE SOLVED: To resist shear stress due to material expansion and contraction in a planar direction by reducing thickness in module formation.

SOLUTION: A semiconductor device 20 has a surface electrode 3, provided to a

surface where a semiconductor chip is formed and a side electrode 10, which is conductively connected to the surface electrode 3 and formed in a groove shape

in a side almost vertical to a packaging surface of the semiconductor device

20. Since a bonding load during packaging can be reduced and sharing stress in

the planar direction is not applied to a semiconductor chip, it is possible to restrain changes in the characteristics of a semiconductor chip and prevent

breakage. Furthermore, it is possible to surely carry out connections between

an electrode of a semiconductor device and a substrate electrode, and to improve connection reliability.

COPYRIGHT: (C)2002,JPO

DERWENT-ACC-NO: 2003-082069

DERWENT-WEEK: 200308

COPYRIGHT 2006 DERWENT INFORMATION LTD

**TITLE: Semiconductor device e.g. flip chip package has
groove-shaped side electrode formed at side,
perpendicular to mounting surface of semiconductor chip**

PATENT-ASSIGNEE: SEIKO EPSON CORP[SHIH]

PRIORITY-DATA: 2001JP-0096869 (March 29, 2001)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-
IPC				
JP 2002299372 A	October 11, 2002	N/A	009	H01L
021/60				

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2002299372A	N/A	2001JP-0096869	March 29, 2001

INT-CL (IPC): H01L021/301, H01L021/3205 , H01L021/60

ABSTRACTED-PUB-NO: JP2002299372A

BASIC-ABSTRACT:

NOVELTY - An electrode (3) is formed on the surface of semiconductor chip (20).

A groove-shaped side electrode (10) is formed at the side, perpendicular to the mounting surface of the semiconductor chip.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are included for the following:

(1) Semiconductor device manufacturing method; and

(2) Semiconductor device mounting method.

USE - Semiconductor device such as flip chip package.

ADVANTAGE - Reduces the thickness of the semiconductor device during module

formation. Reduces bonding load during mounting and the shear stress of the direction of a flat surface of the semiconductor chip, thereby prevents breakage.

DESCRIPTION OF DRAWING(S) - The figure shows a perspective view of the side electrode. (Drawing includes non-English language text).

Electrode 3

Groove-shaped side electrode 10

Semiconductor chip 20

CHOSEN-DRAWING: Dwg.4/15

TITLE-TERMS: SEMICONDUCTOR DEVICE FLIP CHIP PACKAGE GROOVE SHAPE SIDE ELECTRODE

FORMING SIDE PERPENDICULAR MOUNT SURFACE SEMICONDUCTOR CHIP

DERWENT-CLASS: U11

EPI-CODES: U11-C05E2; U11-E01C;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2003-064413

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-299372

(P2002-299372A)

(43)公開日 平成14年10月11日(2002.10.11)

(51)IntCl ⁷	識別記号	F I	キーワード(参考)
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 Q 5 F 0 3 3
	3 0 1		3 0 1 N 5 F 0 4 4
	3 2 1		3 2 1 E
21/301		21/78	R
21/3205		21/88	T
審査請求 未請求 請求項の数 9 O L (全 9 頁)			

(21)出願番号 特願2001-96869(P2001-96869)

(22)出願日 平成13年3月29日(2001.3.29)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 中島 敏

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 100098084

弁理士 川▲崎▼ 研二

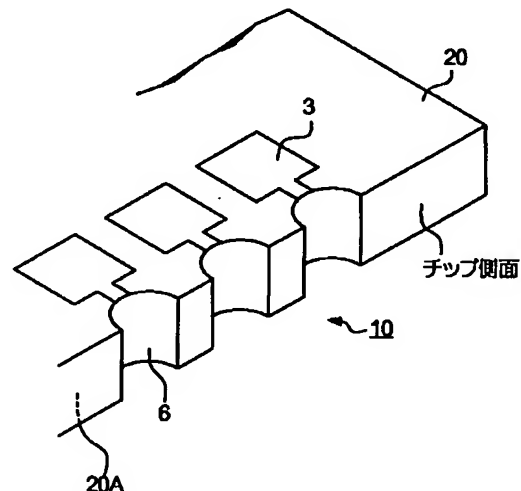
最終頁に続く

(54)【発明の名称】 半導体装置、半導体装置の製造方法および半導体装置の実装方法

(57)【要約】 (修正有)

【課題】 モジュール形成時の厚みを低減し、平面方向の材料伸縮によるせん断応力に耐える。

【解決手段】 半導体装置20は、半導体チップが形成された面に設けられた表面電極3と、表面電極3と導通され、当該半導体装置20の実装面にほぼ垂直な側面に溝状に形成された側面電極10と、を備える。実装時のボンディング荷重を低減することができ、平面方向のせん断応力を半導体チップに対して与えることがないので、半導体チップの特性の変化を抑制し、破損を防止することができる。また、半導体装置の電極と基板電極との間の接続を確実にし、接続信頼性を向上することができる。



【特許請求の範囲】

【請求項1】 半導体チップが形成された面に設けられた表面電極と、

前記表面電極と導通され、当該半導体装置の実装面にほぼ垂直な側面に溝状に形成された側面電極と、
を備えたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記側面電極は少なくとも前記実装面側が断面テーパ状に形成されていることを特徴とする半導体装置。

【請求項3】 ウェハ上に表面電極とともに複数のLSIを形成するLSI形成工程と、

前記表面電極近傍に側面電極形成用孔を穿孔する穿孔工程と、

前記側面電極形成用孔と前記表面電極とを電気的に接続する接続工程と、

ウェハ切断後の前記側面電極形成用孔が所定の側面電極となるように前記ウェハを前記側面電極形成用孔部分で切断して複数の半導体チップに分離する切断工程と、
を備えたことを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法において、

前記穿孔工程は、前記ウェハのLSI形成面側から他面に向かってレーザ光により穿孔を行うことを特徴とする半導体装置の製造方法。

【請求項5】 請求項3記載の半導体装置の製造方法において、

前記接続工程は、前記LSIの形成面に絶縁コーティングを行うコーティング工程と、

前記絶縁コーティングの前記表面電極の所定対応部分を除去する絶縁除去工程と、

前記絶縁コーティングが除去された前記表面電極と前記側面電極形成用孔とをメッキにより導通させるメッキ工程と、
を備えたことを特徴とする半導体製造装置の製造方法。

【請求項6】 半導体装置の実装面にほぼ垂直な側面に溝状に形成された側面電極を有する半導体装置を基板上に実装する半導体装置の実装方法において、

基板側に前記半導体装置を収容する収容凹部と、前記収容凹部の中央部分に向かって基板表面から片持ち梁状態に突設され、かつ、前記側面電極に対応する位置に配置されたオーバーハング配線パターンとを設け、

前記基板に垂直に前記半導体装置を前記収容凹部に所定の圧力で押し込むことにより前記オーバーハングパターンと前記側面電極を電気的に接続させる、ことを特徴とする半導体装置の実装方法。

【請求項7】 半導体装置の実装面にほぼ垂直な側面に溝状に形成された側面電極を有する半導体装置を基板上に実装する半導体装置の実装方法において、

基板側に前記半導体装置を収容する収容凹部と、前記収容凹部を形成するに先立って前記側面電極に対応する位

置に設けた貫通スルーホールを垂直に切断あるいは切削することにより形成した基板側側面電極と、を設け、前記基板に垂直に前記半導体装置を前記収容凹部に収容し、前記半導体装置の側面電極と前記基板側側面電極との間を導電性接着剤により導通させる、ことを特徴とする半導体装置の実装方法。

【請求項8】 半導体装置の実装面にほぼ垂直な側面に溝状に形成された側面電極を有する半導体装置を基板上に実装する半導体装置の実装方法において、

基板側に前記半導体装置を収容する収容凹部と、前記収容凹部を形成するに先立って前記側面電極に対応する位置に設けたスルーホールの全部あるいは一部を垂直に切断あるいは切削することにより形成した基板側側面電極と、を設け、

前記基板に垂直に前記半導体装置を前記収容凹部に収容し、前記半導体装置の側面電極と前記基板側側面電極との間を導電性接着剤により導通させる、ことを特徴とする半導体装置の実装方法。

【請求項9】 半導体装置の実装面にほぼ垂直な側面に溝状に形成された側面電極を有する半導体装置を基板上に実装する半導体装置の実装方法において、

基板側に前記半導体装置を収容する収容凹部を設け、前記収容凹部内の内層配線パターンと基板表面の表層配線パターンとを前記側面電極に対応する位置に対応づけて導電性ワイヤで接続し、

前記基板に垂直に前記半導体装置を前記収容凹部に所定の圧力で押し込むことにより前記導電性ワイヤと前記側面電極を電気的に接続させる、ことを特徴とする半導体装置の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、半導体装置の製造方法および半導体装置の実装方法に係り、特に実装時のボンディング荷重を低下させつつ、電機的な接続を確実にするための技術に関する。

【0002】

【従来の技術】従来より基板上に半導体チップを実装するための技術が各種知られている。例えば、実装技術として、ワイヤーボンディング方式やフリップチップボンディング方式などが挙げられる。ワイヤーボンディング方式によれば、図13に示すように、基板100上に半導体チップ101を接着剤等で固定し、半導体チップ101の電極と基板100上の電極102とを導電ワイヤ103などを用いて空中配線接続をしている。フリップチップボンディング方式によれば、図14に示すように、半導体チップ201上に形成された導電性の電極（あるいは突起電極）202と基板上の電極との位置あわせを行い、合金接合や導電性粒子、導電性接着剤203などを用いた機械的接触により接続している。

【0003】

【発明が解決しようとする課題】ワイヤーボンディング方式においては、図13に示すように、半導体チップ101を基板100上に搭載し、ワイヤーボンディング後に、機械的強度を持たせるために導電ワイヤを含む半導体チップ101をモールド剤104を塗布して埋設するように構成していた。この結果、モジュール105全体としての厚みが増加してしまうという不具合があった。また、半導体チップ101を高周波回路として用いる場合には、ワイヤ長さが長くなりすぎ、高周波回路特性的に好ましくないという問題点があった。フリップチップボンディング方式によれば、半導体チップ201の電極202および基板上の電極は、双方とも平面上に配置されているため、図15に矢印で示すように、温度変化などに起因して生じる平面方向の材料伸縮を起こし、半導体チップ材料と基板材料との線膨張係数の違いにより電極接合部にせん断応力が働いて、電極接合部に亀裂が生じ、導通不良を起こす可能性があった。

【0004】また、多機能化を図るべく半導体チップサイズが大きくなり、さらに電極数が増加すると、半導体チップを基板の電極に実装する際のボンディング加重が大きくなり、半導体チップの能動面に応力が係り、半導体チップの特性を変化させる原因ともなっていた。また、半導体チップの実装時には、基板に応力がかかるため、先に実装された半導体チップの電極部に亀裂を与えることになっていた。また、ワイヤーボンディングと同様に基板上に半導体チップを搭載するためモジュールとしての厚みを増加させてしまうという問題点があった。一方、半導体チップを大容量化、多機能化し、多くの入出力端子を半導体チップから基板上に接続する半導体チップの実装方法において、多くの入出力端子を突起電極として半導体チップ上に配置するには、電極の面積を縮小し、配置ピッチを微細化する必要があるため、機械的強度が十分に得られるほど突起電極の接続部の面積を確保することはできず、平面電極を形成しなければならないという問題点があった。

【0005】また、微少な電極を形成するために高度な技術レベルが要求されるという問題点があった。さらに微細化、多ピン化されるとともに、サイズが大型化した半導体チップの平面電極を基板上の電極に対し平面方向同士で実装するには、非常に大きなボンディング加重が必要となり、半導体チップあるいは基板に不要な応力を印加することになってしまうという問題点があった。そこで、本発明の目的は、モジュール形成時の厚みを低減し、平面方向の材料伸縮によるせん断応力に耐える半導体装置および半導体装置の製造方法を提供することにある。また、半導体チップの実装時のボンディング荷重を低減することができる実装方法を提供することにある。

【0006】

【課題を解決するための手段】上記課題を解決するため、半導体装置は、半導体チップが形成された面に設け

られた表面電極と、前記表面電極と導通され、当該半導体装置の実装面にほぼ垂直な側面に溝状に形成された側面電極と、を備えたことを特徴としている。この場合において、前記側面電極は少なくとも前記実装面側が断面テーパ状に形成されているように構成することができる。

【0007】また、半導体装置の製造方法は、ウェハ上に表面電極とともに複数のLSIを形成するLSI形成工程と、前記表面電極近傍に側面電極形成用孔を穿孔する穿孔工程と、前記側面電極形成用孔と前記表面電極とを電気的に接続する接続工程と、ウェハ切断後の前記側面電極形成用孔が所定の側面電極となるように前記ウェハを前記側面電極形成用孔部分で切断して複数の半導体チップに分離する切断工程と、を備えたことを特徴としている。この場合において、前記穿孔工程は、前記ウェハのLSI形成面側から他面に向かってレーザ光により穿孔を行うようにしてもよい。

【0008】また、前記接続工程は、前記LSIの形成面に絶縁コーティングを行うコーティング工程と、前記絶縁コーティングの前記表面電極の所定対応部分を除去する絶縁除去工程と、前記絶縁コーティングが除去された前記表面電極と前記側面電極形成用孔とをメッキにより導通させるメッキ工程と、を備えるようにしてもよい。

【0009】さらに半導体装置の実装面にほぼ垂直な側面に溝状に形成された側面電極を有する半導体装置を基板上に実装する半導体装置の実装方法において、基板側に前記半導体装置を収容する収容凹部と、前記収容凹部の中央部分に向かって基板表面から片持ち梁状態に突設され、かつ、前記側面電極に対応する位置に配置されたオーバーハング配線パターンとを設け、前記基板に垂直に前記半導体装置を前記収容凹部内に所定の圧力で押し込むことにより前記オーバーハングパターンと前記側面電極を電気的に接続させる、ことを特徴としている。

【0010】また、半導体装置の実装面にほぼ垂直な側面に溝状に形成された側面電極を有する半導体装置を基板上に実装する半導体装置の実装方法において、基板側に前記半導体装置を収容する収容凹部と、前記収容凹部を形成するに先立って前記側面電極に対応する位置に設けた貫通スルーホールを垂直に切断あるいは切削することにより形成した基板側側面電極と、を設け、前記基板に垂直に前記半導体装置を前記収容凹部内に収容し、前記半導体装置の側面電極と前記基板側側面電極との間を導電性接着剤により導通させる、ことを特徴としている。

【0011】また、半導体装置の実装面にほぼ垂直な側面に溝状に形成された側面電極を有する半導体装置を基板上に実装する半導体装置の実装方法において、基板側に前記半導体装置を収容する収容凹部と、前記収容凹部を形成するに先立って前記側面電極に対応する位置に設

けたスルーホール全部あるいは一部を垂直に切断あるいは切削することにより形成した基板側面電極と、を設け、前記基板に垂直に前記半導体装置を前記収容凹部に収容し、前記半導体装置の側面電極と前記基板側面電極との間を導電性接着剤により導通させる、ことを特徴としている。

【0012】また、半導体装置の実装面にはほぼ垂直な側面に溝状に形成された側面電極を有する半導体装置を基板上に実装する半導体装置の実装方法において、基板側に前記半導体装置を収容する収容凹部を設け、前記収容凹部内の内層配線パターンと基板表面の表層配線パターンとを前記側面電極に対応する位置に対応づけて導電性ワイヤで接続し、前記基板に垂直に前記半導体装置を前記収容凹部に所定の圧力で押し込むことにより前記導電性ワイヤと前記側面電極を電氣的に接続させる、ことを特徴としている。

【0013】

【発明の実施の形態】次に本発明の好適な実施の形態について図面を参照して説明する。

〔1〕半導体チップの製造

まず、半導体チップの製造工程について説明する。

〔1.1〕LSI形成工程

まず、Si製のウェハに通常と同様の工程でLSIを形成する。LSIの形成工程は、洗浄工程、拡散工程、薄膜形成工程、パターニング工程を含む。まず、洗浄工程は、ウェハを清浄な状態とすべく、洗浄を行う。拡散工程は、pn接合工程や不純物プロファイル制御のために行われる。薄膜形成工程は、シリコン窒化膜、多結晶シリコン、表面電極を含むアルミニウム電極等を形成する。パターニング工程は、露光工程およびエッチング工程を含んでいる。露光工程は、シリコン基板上に塗布されたレジストを露光、現像して所定のレジストパターンを形成する。エッチング工程は、露光工程におけるレジストパターンをマスクとして下地膜をエッチングし、パターンを形成することとなる。以下、洗浄工程、拡散工程、薄膜形成工程、パターニング工程繰り返して複数のLSIをウェハ上に形成する。

【0014】〔1.2〕穿孔工程

図1にLSIが形成されたウェハの外観斜視図を示す。次に、複数のLSI1が形成されたウェハ2において、図2に示すように、LSI1の周辺部分に形成された電極（表面電極）3近傍の領域であって各電極に対応する位置であって、仮想的に設けたダイシングラインDLに沿って側面電極形成用孔4を穿孔して形成する。側面電極形成用孔の穿孔後、図3（a）に示すように、LSIおよび側面電極形成用孔の絶縁コーティング5を行う。

【0015】〔1.3〕メッキ工程

次に図3（b）に示すように、表面電極の全部または一部の絶縁コーティングをレーザ加工などにより除去する。そして、図3（c）に示すように、一般的な電極用

のメッキ材料6を用いて表面電極および側面電極形成用孔内にメッキ処理を施し、両者を導通状態とする。次に表面電極および側面電極形成用孔にポリイミドコーティングなどの所定のコーティング処理を施す。

【0016】〔1.4〕ダイシング工程

次にウェハ2を切り離して半導体チップにすべくダイシングを行う。この場合において、側面電極形成用孔4の中心点を通る直線（図2にダイシングラインDLとして表示）に沿ってウェハ2のダイシングを行い、半導体チップ20（図4参照）を得る。これにより、側面電極形成用孔4は、2等分され、側面電極10となる。図4に側面電極の外観斜視図を示す。図4に示すように、側面電極10は、竹を半分に割ったような形状となっている。なお、得られる半導体チップ20の厚さを低減する必要がある場合、ダイシング前にウェハ2のLSI形成面に対向する面（半導体チップの裏面；実装面）20Aに機械的研磨あるいは化学的研磨を施すことにより厚さを低減することが可能である。なお、ハーフダイシング状態であれば、ダイシング後に面20Aに機械的研磨あるいは化学的研磨を施すことにより厚さを低減することも可能である。

【0017】〔2〕半導体チップの基板への実装

次に半導体チップの基板への実装について各基板毎に説明する。

〔2.1〕フレキシブル基板の場合

まず、最初に実装対象の基板がフレキシブル基板の場合について説明する。図5（a）、（b）に示すように、半導体チップ20の実装先がフレキシブル基板30である場合には、フレキシブル基板30の配線パターン31を半導体チップ20の側面電極10に対応する位置に配置したオーバーハングパターンとする。配線パターン31の材料としては、銅（Cu）、ニッケル（Ni）、金（Au）などが用いられる。そして、半導体チップ20を吸着などの方法により支持したツールTLにより半導体チップ20の位置合わせを行いながら、フレキシブル基板30に垂直な方向（図5（a）中、矢印で示す。）から所定の圧力で加圧しながら実装する。

【0018】この場合に、半導体チップ20の側面電極10と、フレキシブル基板30の配線パターン（オーバーハングパターン）31とは図6に示すように接触状態となり、導通することとなる。また、図7（a）に示すように、穿孔時に半導体チップの実装側面の側面電極の形状がテーパ形状となるように側面電極形成用孔4を形成すれば、図7（b）に示すように、側面電極10の実装面側はテーパ形状となり、図8に示すように、より確実に半導体チップ20の側面電極10と、フレキシブル基板30の配線パターン31（オーバーハングパターン）と、が電氣的に接続状態となる。このようなテーパ形状の側面電極形成用孔4を形成するためには、LSI形成面側から所定の出力のレーザ光で穿孔を行えば

よい。さらに配線パターン（オーバーハングパターン）31を弾性の高い材料で形成し、半導体チップ20の実装による配線パターン（オーバーハングパターン）31の変形に伴う反発力により電氣的接続の確実性を向上させることも可能である。さらにまた、あらかじめ配線パターン（オーバーハングパターン）31に半田メッキを施しておき、側面電極10と半田付けを行って電氣的接続を確保するように構成することも可能である。

【0019】[2.2]セラミック基板に貫通スルーホールを形成する場合

次に実装対象の基板がセラミック基板であり、このセラミック基板に貫通スルーホールを形成する場合について図9を参照して説明する。図9に示すように、グリーン状態（焼成前）の多層セラミック基板40の最表層となる表層基板41の形成時に、次層につながる貫通スルーホール42を形成し、この貫通スルーホール42の半導体チップ20配置側の半分を抜き落とすことにより、基板側面電極43を形成する。その後、半導体チップ実装用凹部44に相当する部分を打ち抜いた表層基板41を含む他の層を構成する基板45と張り合わせ、焼成して多層セラミック基板40とする。そして、図9に示すように、半導体チップ20の側面電極10と基板側面電極43との間を導電粒子入りの異方性導電接着剤46を介して電氣的に接続する。この結果、半導体チップ20と表層基板41の次に積層されている基板45との間には、異方性導電接着剤46を入れる必要がないので、実装時のボンディング荷重を低減させることができ、半導体チップ20に不要な応力を受けることがないので、半導体チップ20の特性の変化を抑制し、実装時の破損を避けることができる。すなわち、半導体実装時に導電粒子入りの異方性導電接着剤46を側面方向に押し出しながら、異方性導電接着剤46と基板側配線または異方性導電接着剤46と基板表面との間に形成された気泡を押し出す必要がないので、半導体チップ20に大荷重が印加されることがないので、半導体チップ20の特性の変化を抑制し、実装時の破損を避けることができるのである。

【0020】[2.3]リジット基板に貫通スルーホールを形成する場合

次に実装対象の基板がリジット基板であり、このリジット基板に貫通スルーホールを形成する場合について図10を参照して説明する。まず、図10に示すように、多層リジット基板50の全層あるいは所定の層まで貫通する貫通スルーホール51を形成して、機械的切削加工により半導体チップ実装用凹部52を形成するに際し、貫通スルーホール51を深さ方向の半分程度まで、かつ、貫通スルーホール51の半導体チップ20配置側の半分を削り落とす。これにより、貫通スルーホール51は、基板側面電極53を形成することとなる。そして、図10に示すように、半導体チップ20の側面電極10と

基板側面電極53との間を導電粒子入りの異方性導電接着剤54を介して接続する。この結果、[2.2]項において説明したセラミック基板の場合と同様に半導体チップ20と半導体チップが対向する基板面50Aとの間には、異方性導電接着剤54を入れる必要がない。従って、実装時のボンディング荷重を低減させることができ、半導体チップ20に不要な応力がかかることがないので、半導体チップ20の特性の変化を抑制し、破損を防止することができる。

10 【0021】[2.4]基板に内層スルーホール（非貫通スルーホール）を形成する場合

続いて実装対象の基板がセラミック基板あるいはリジット基板であり、この基板に内層スルーホール形成する場合について図11を参照して説明する。まず、多層セラミック基板あるいは多層リジット基板である多層基板60の表層基板から所定の内層基板まで内層スルーホール61を形成し、表層基板と内層基板との間を電氣的に接続する。そして、セラミック基板の場合は、半導体チップ実装用凹部62に相当する部分を打ち抜いた基板を含む各層を構成する基板を張り合わせ、焼成して多層セラミック基板とする。また、リジット基板の場合は、機械的切削加工により半導体チップ実装用凹部62を形成する。この場合に、内層スルーホール61の半導体チップ20配置側の半分を削り落とすことにより基板側面電極63を形成する。そして、図11に示すように、半導体チップ20の側面電極20と内層スルーホールを利用して形成された基板側面電極63との間を導電粒子入りの異方性導電接着剤64を介して接続する。

30 【0022】この結果、[2.2]項および[2.3]項において説明したセラミック基板あるいはリジット基板の場合と同様に半導体チップ20と半導体チップ20が対向する基板面65との間には、異方性導電接着剤64を入れる必要がない。従って、実装時のボンディング荷重を低減させることができ、半導体チップ20に不要な応力がかかることがないので、半導体チップ20の特性の変化を抑制し、破損を防止することができる。

【0023】また、導電粒子入りの異方性導電接着剤54を介して接続する方法以外の方法としては、図12に示すように、表層配線パターン71と内層配線パターン72とをワイヤボンディング装置によりワイヤ73で接続し、半導体チップ20を実装する際にワイヤ73を半導体チップ側の側面電極10と内層配線パターン72

（基板）との間に挟み込む。これにより、半導体チップ20の側面電極10と、ワイヤ73とは図12に示すように接触状態となり、導通することとなる。図12においては、ワイヤ73を表層配線パターン71側に最初に接続し、その後、内層配線パターン72側に接続する場合を図示しているが、ワイヤ73を内層配線パターン72側に最初に接続するように構成することも可能である。さらに、上記各構成において、半導体チップ20と

半導体チップ20が対向する基板72との間には、必要に応じて、エポキシ系接着剤などを入れるようにしてもかまわない。

【0024】[3]実施形態の効果

以上の説明のように、本実施形態によれば、従来の実装方法と比較して実装時のボンディング荷重を低減することができ、平面方向のせん断応力を半導体チップに対して与えることがないので、半導体チップの特性の変化を抑制し、破損を防止することができる。また、半導体チップ側の側面電極と基板側の側面電極とは、温度変化などに伴う半導体チップあるいは基板の変形（平面方向の変形）の影響を受けにくく、接続部に亀裂等が発生しにくく、接続信頼性を向上することができる。すなわち、従来は、電極に対して直行する方向にせん断応力がかかることになっていたのに対し、本実施形態によれば、せん断応力に平行する形で半導体チップの電極と基板電極とが接続されており、弾性を有することとなって半導体チップあるいは基板の変形の影響を受けにくくなっている。さらに半導体チップを含むモジュールの厚みを低減することが可能となる。以上の説明において

【0025】

【発明の効果】本発明によれば、実装時のボンディング荷重を低減することができ、平面方向のせん断応力を半導体チップに対して与えることがないので、半導体チップの特性の変化を抑制し、破損を防止することができる。また、半導体装置の電極と基板電極との間の接続を確実にし、接続信頼性を向上することができる。

【図面の簡単な説明】

【図1】 LSIが形成されたウェハの外観斜視図である。

【図2】 側面電極形成用孔の穿孔についての説明図である。

【図3】 側面電極の導通をとるための半導体装置の製造方法の説明図である。

【図4】 側面電極の外観斜視図である。

【図5】 配線パターンをオーバーハングパターンとした場合の実装説明図である。

【図6】 側面電極と配線パターン（オーバーハングパターン）との接続状態の説明図である。

【図7】 実装面側がテーパー形状となっている側面電極の説明図である。

【図8】 側面電極の実装面側はテーパー形状とした場合の実装説明図である。

【図9】 セラミック基板に貫通スルーホールを形成する場合の実装説明図である。

【図10】 リジット基板に貫通スルーホールを形成する場合の実装説明図である。

【図11】 基板に内層スルーホール（非貫通スルーホール）を形成する場合の実装説明図である。

【図12】 導電性ワイヤを用いて実装を行う場合の実装説明図である。

【図13】 従来のワイヤボンディング方式を説明するための図である。

【図14】 従来のフリップチップボンディング方式を説明するための図である。

【図15】 従来のフリップチップボンディング方式における問題点を説明する図である。

【符号の説明】

1…LSI

2…ウェハ

3…表面電極

4…側面電極形成用孔

5…絶縁コーティング

6…メッキ

10…側面電極

20…半導体チップ（半導体装置）

30…フレキシブル基板

31…配線パターン（オーバーハングパターン）

40…多層セラミック基板

41…表層基板

42…貫通スルーホール

43…基板側側面電極

44…半導体チップ実装用凹部

45…基板

46…異方性導電接着剤

50…多層リジット基板

50A…基板面

51…貫通スルーホール

52…半導体チップ実装用凹部

53…基板側側面電極

54…異方性導電接着剤

60…多層基板

61…内層スルーホール

62…半導体チップ実装用凹部

63…基板側側面電極

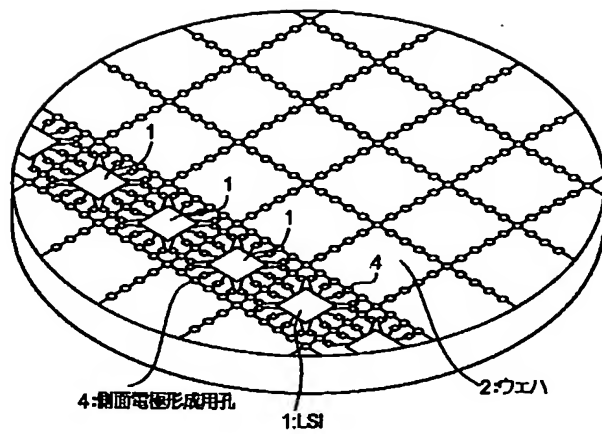
64…異方性導電接着剤

71…表層配線パターン

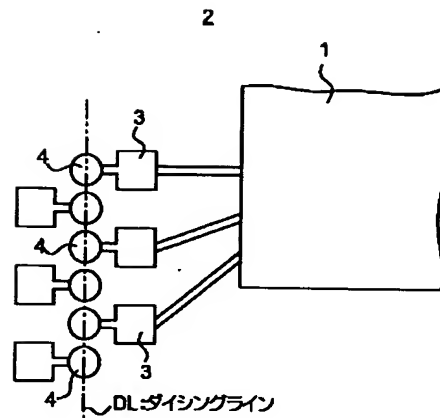
72…内層配線パターン

73…ワイヤ

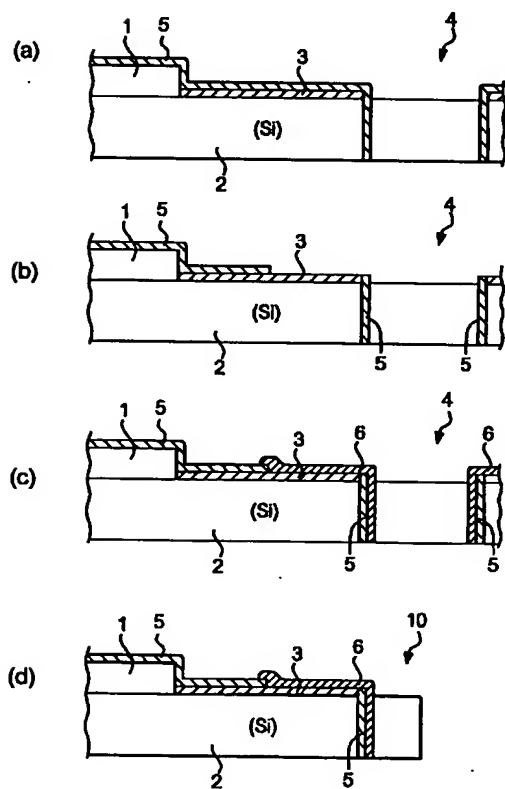
【図1】



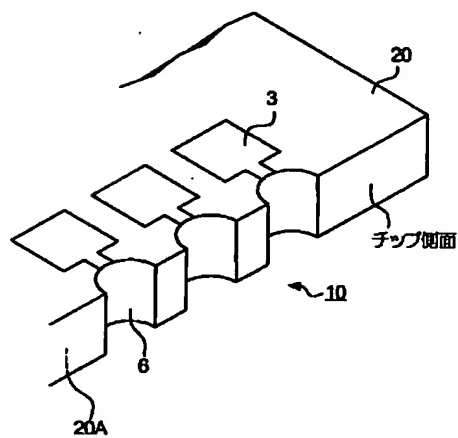
【図2】



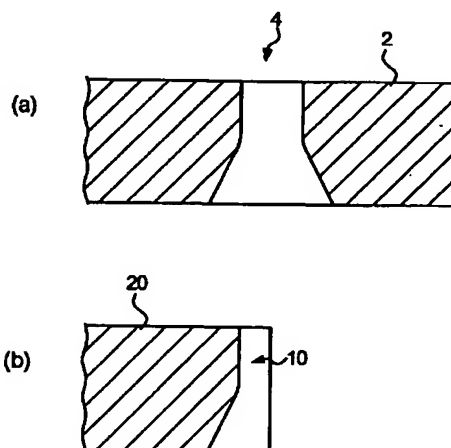
【図3】



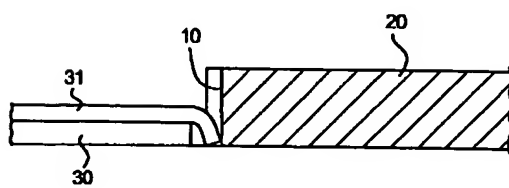
【図4】



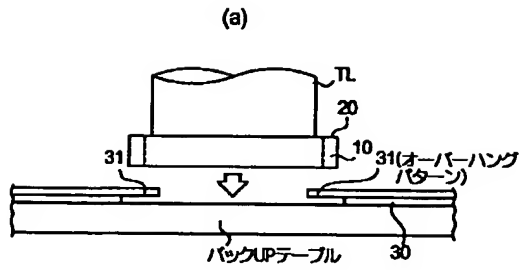
【図7】



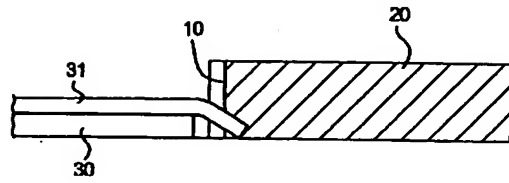
【図6】



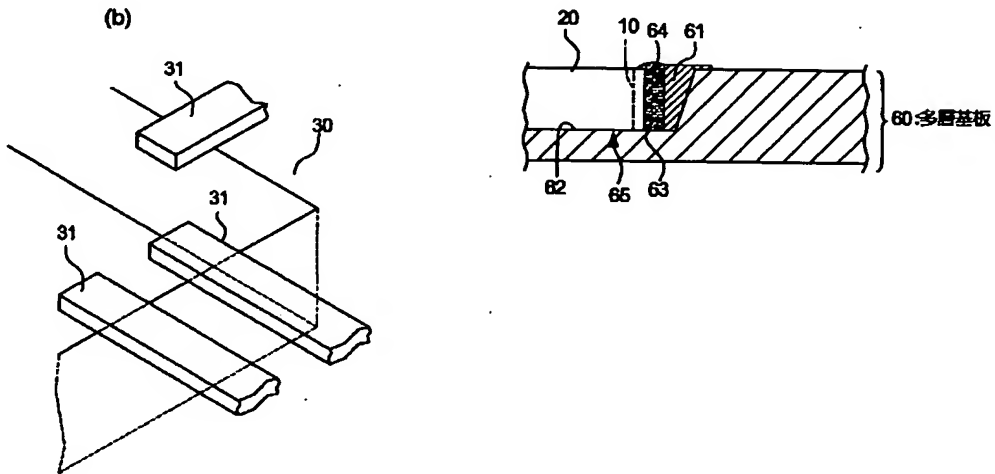
【図5】



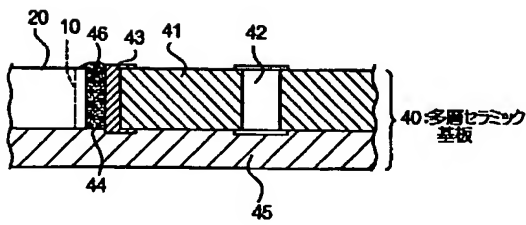
【図8】



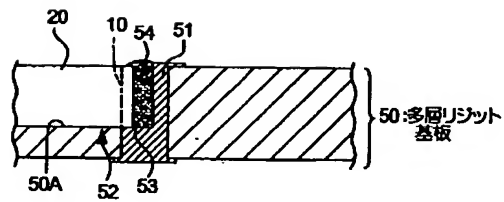
【図11】



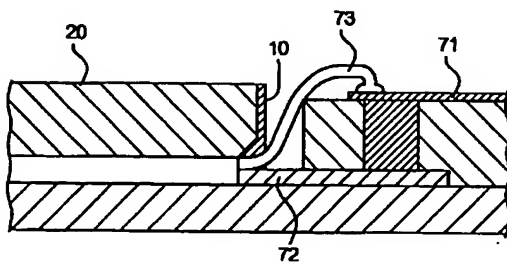
【図9】



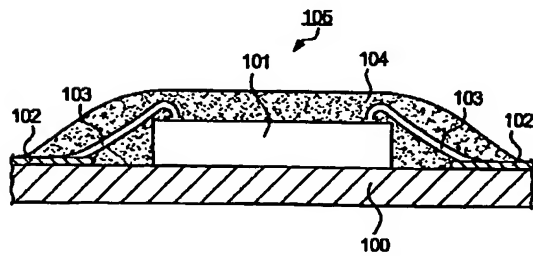
【図10】



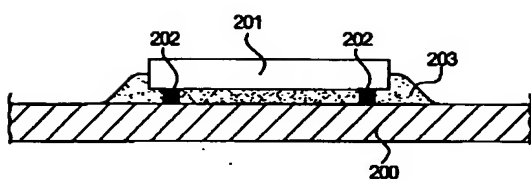
【図12】



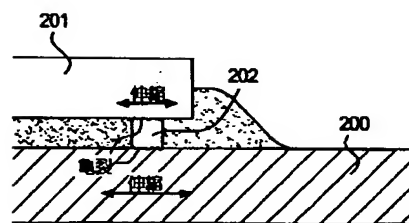
【図13】



【図14】



【図15】



フロントページの続き

Fターム(参考) 5F033 MM30 PP27 PP28 VV07
5F044 AA02 AA05 EE01 EE02 EE21
KK03 KK04 KK07 KK11 KK25
LL07 MM03 MM13 MM25 NN02
NN03 QQ06

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the appearance of the wafer with which LSI was formed.

[Drawing 2] It is an explanatory view about punching of the hole for side-face electrode formation.

[Drawing 3] It is the explanatory view of the manufacture approach of the semiconductor device for taking the flow of a side-face electrode.

[Drawing 4] It is the appearance perspective view of a side-face electrode.

[Drawing 5] It is a mounting explanatory view at the time of using a circuit pattern as an overhang pattern.

[Drawing 6] It is the explanatory view of the connection condition of a side-face electrode and a circuit pattern (overhang pattern).

[Drawing 7] It is the explanatory view of the side-face electrode with which the component-side side serves as a taper configuration.

[Drawing 8] The component-side side of a side-face electrode is a mounting explanatory view at the time of considering as a taper configuration.

[Drawing 9] It is a mounting explanatory view in the case of forming a penetration through hole in a ceramic substrate.

[Drawing 10] It is a mounting explanatory view in the case of forming a penetration through hole in a rigid substrate.

[Drawing 11] It is a mounting explanatory view in the case of forming an inner layer through hole (non-penetrating through hole) in a substrate.

[Drawing 12] It is a mounting explanatory view in the case of mounting using a conductive wire.

[Drawing 13] It is drawing for explaining the conventional wirebonding method.

[Drawing 14] It is drawing for explaining the conventional flip-chip-bonding method.

[Drawing 15] It is drawing explaining the trouble in the conventional flip-chip-bonding method.

[Description of Notations]

1 -- LSI

2 -- Wafer

3 -- Surface electrode

4 -- Hole for side-face electrode formation

5 -- Insulating coating

6 -- Plating

10 -- Side-face electrode

20 -- Semiconductor chip (semiconductor device)

30 -- Flexible substrate

31 -- Circuit pattern (overhang pattern)

40 -- Multilayered ceramic substrate

41 -- Surface substrate

42 -- Penetration through hole

- 43 -- Substrate side side-face electrode
- 44 -- Crevice for semiconductor chip mounting
- 45 -- Substrate
- 46 -- Anisotropy electric conduction adhesives
- 50 -- Multilayer rigid substrate
- 50A -- Substrate side
- 51 -- Penetration through hole
- 52 -- Crevice for semiconductor chip mounting
- 53 -- Substrate side side-face electrode
- 54 -- Anisotropy electric conduction adhesives
- 60 -- Multilayer substrate
- 61 -- Inner layer through hole
- 62 -- Crevice for semiconductor chip mounting
- 63 -- Substrate side side-face electrode
- 64 -- Anisotropy electric conduction adhesives
- 71 -- Surface circuit pattern
- 72 -- Inner layer circuit pattern
- 73 -- Wire

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] It relates to the technique for making electrical machinery-connection ensure, this invention relating to the manufacture approach of a semiconductor device and a semiconductor device, and the mounting approach of a semiconductor device, especially reducing the bonding weight at the time of mounting.

[0002]

[Description of the Prior Art] The technique for mounting a semiconductor chip on a substrate conventionally is *****. For example, a wire-bonding method, a flip-chip-bonding method, etc. are held as mounting technology. According to the wire-bonding method, as shown in drawing 13, a semiconductor chip 101 is fixed with adhesives etc. on a substrate 100, and air wiring connection is made for the electrode of a semiconductor chip 101, and the electrode 102 on a substrate 100 using the electric conduction wire 103 etc. According to the flip-chip-bonding method, as shown in drawing 14, location ***** of the conductive electrode (or projection electrode) 202 formed on the semiconductor chip 201 and the electrode on a substrate was performed, and it has connected by mechanical contact using alloy junction, a conductive particle, electroconductive glue 203, etc.

[0003]

[Problem(s) to be Solved by the Invention] In the wire-bonding method, as shown in drawing 13, the semiconductor chip 101 was carried on the substrate 100, and it constituted so that the mold agent 104 might be applied and the semiconductor chip 101 which contains an electric conduction wire in order to give a mechanical strength might be laid underground after wire bonding. Consequently, there was fault that the thickness as the module 105 whole will increase. Moreover, when a semiconductor chip 101 was used as a RF circuit, wire die length became long too much, and there was a trouble that it was not desirable in RF circuit property. According to the flip-chip-bonding method, since both sides were stationed on the flat surface, shearing stress committed ingredient telescopic motion of the direction of a flat surface which originates in a temperature change etc. and is produced to the electrode joint by the difference in the coefficient of linear expansion of a lifting, a semiconductor chip ingredient, and a substrate ingredient, the crack arose in the electrode joint, and the electrode 202 of a semiconductor chip 201 and the electrode on a substrate may have woken up defective continuity, as an arrow head showed to drawing 15.

[0004] Moreover, it had also become the cause of the bonding load at the time of mounting a semiconductor chip in the electrode of a substrate if a semi-conductor chip size becomes large in order to attain multi-functionalization, and the number of electrodes increases further becoming large, and stress being applied to the active side of a semiconductor chip, and changing the property of a semiconductor chip. Moreover, since stress was applied to a substrate at the time of mounting of a semiconductor chip, the crack was to be given to the polar zone of the semiconductor chip mounted previously. Moreover, since a semiconductor chip was carried on a substrate like wire bonding, there was a trouble of making the thickness as a module increase. It is. on the other hand -- a semiconductor

chip -- large-capacity-izing and the mounting approach of the semiconductor chip which multi-functionalizes and connects many input/output terminals on a substrate from a semiconductor chip -- In order to arrange on a semiconductor chip by using many input/output terminals as a projection electrode Since it was necessary to reduce the area of an electrode and to make an arrangement pitch detailed, area of the connection of a projection electrode could not be secured, so that the mechanical strength was fully obtained, but there was a trouble that a flat electrode had to be formed.

[0005] Moreover, in order to form a very small electrode, there was a trouble that advanced skill level was required. While many pins were formed, in order to have mounted the flat electrode of detailed-izing and the semiconductor chip which size enlarged in the directions of a flat surface to the electrode on a substrate furthermore, the very big bonding load was needed and there was a trouble that unnecessary stress would be impressed to a semiconductor chip or a substrate. Then, the purpose of this invention reduces the thickness at the time of module formation, and is to offer the manufacture approach of of the semiconductor device and semiconductor device which bear the shearing stress by ingredient telescopic motion of the direction of a flat surface. Moreover, it is in offering the mounting approach that the bonding weight at the time of mounting of a semiconductor chip can be reduced.

[0006]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the semiconductor device is characterized by having the surface electrode prepared in the field in which the semiconductor chip was formed, and the side-face electrode which flowed with said surface electrode and was formed in the side face almost perpendicular to the component side of the semiconductor device concerned at the groove. In this case, said side-face electrode can be constituted as said component-side side is formed in the shape of a cross-section taper at least.

[0007] Moreover, the LSI formation process with which the manufacture approach of a semiconductor device forms two or more LSI with a surface electrode on a wafer, The connection process which connects electrically the punching process which punches the hole for side-face electrode formation near [said] the surface electrode, and said hole for side-face electrode formation and said surface electrode, It is characterized by having the cutting process which cuts said wafer by part for said pore for side-face electrode formation, and is divided into two or more semiconductor chips so that said hole for side-face electrode formation after wafer cutting may serve as a predetermined side-face electrode. in this case, from the LSI forming face side of said wafer, on the other hand, said punching process is boiled, goes, and may be made to punch by the laser beam.

[0008] Moreover, you may make it said connection process equipped with the plating process which makes it flow through the coating process which performs insulating coating to the forming face of said LSI, the insulating removal process of removing the predetermined corresponding point of said surface electrode of said insulating coating, and said surface electrode, from which said insulating coating was removed and said hole for side-face electrode formation by plating.

[0009] In the mounting approach of a semiconductor device of mounting on a substrate the semiconductor device which has the side-face electrode formed in the side face almost more nearly perpendicular still to the component side of a semiconductor device at the groove It protrudes on a cantilever condition from a substrate front face toward the central parts of the hold crevice which holds said semiconductor device in a substrate side, and said hold crevice. And the overhang circuit pattern arranged in the location corresponding to said side-face electrode is prepared. It is characterized by what said side-face electrode is electrically connected for to said overhang pattern by pushing in said semiconductor device by the predetermined pressure in said hold crevice at right angles to said substrate.

[0010] Moreover, the semiconductor device which has the side-face electrode formed in the side face almost perpendicular to the component side of a semiconductor device at the groove is set to the mounting approach of the semiconductor device mounted on a substrate. The substrate side side-face electrode formed by cutting or cutting perpendicularly the penetration through hole which preceded forming the hold crevice which holds said semiconductor device in a substrate side, and said hold crevice, and was established in the location corresponding to said side-face electrode, Said

semiconductor device is held in said hold crevice at right angles to ***** and said substrate, and it is characterized by what is made to flow through between the side-face electrode of said semiconductor device, and said substrate side side-face electrodes with electroconductive glue.

[0011] Moreover, the semiconductor device which has the side-face electrode formed in the side face almost perpendicular to the component side of a semiconductor device at the groove is set to the mounting approach of the semiconductor device mounted on a substrate. The substrate side side-face electrode formed by cutting or cutting perpendicularly the hold crevice which holds said semiconductor device in a substrate side, and all or some of through holes which preceded forming said hold crevice and was established in the location corresponding to said side-face electrode is prepared. Said semiconductor device is held in said hold crevice at right angles to said substrate, and it is characterized by what is made to flow through between the side-face electrode of said semiconductor device, and said substrate side side-face electrodes with electroconductive glue.

[0012] Moreover, the semiconductor device which has the side-face electrode formed in the side face almost perpendicular to the component side of a semiconductor device at the groove is set to the mounting approach of the semiconductor device mounted on a substrate. Prepare the hold crevice which holds said semiconductor device in a substrate side, match the inner layer circuit pattern in said hold crevice, and the surface circuit pattern on the front face of a substrate with the location corresponding to said side-face electrode, and it connects with a conductive wire. It is characterized by what said side-face electrode is electrically connected for to said conductive wire by pushing in said semiconductor device by the predetermined pressure in said hold crevice at right angles to said substrate.

[0013]

[Embodiment of the Invention] Next, the gestalt of suitable operation of this invention is explained with reference to a drawing.

[1] Explain manufacture **** of a semiconductor chip, and the production process of a semiconductor chip.

[1.1] LSI ***** forms LSI more nearly first at the process same to the wafer made from Si as usual. The formation process of LSI includes a washing process, a diffusion process, a film formation process, and a patterning process. First, a washing process washes that a wafer should be made a pure condition. A diffusion process is performed for a pn junction process or impurity profile control. A film formation process forms the aluminum electrode containing a silicon nitride, polycrystalline silicon, and a surface electrode etc. The patterning process includes the exposure process and the etching process. An exposure process exposes and develops the resist applied on the silicon substrate, and forms a predetermined resist pattern. An etching process will etch the substrate film by using the resist pattern in an exposure process as a mask, and will form a pattern. Hereafter, a washing process, a diffusion process, a film formation process, and patterning ** form two or more LSI on a wafer more nearly repeatedly.

[0014] [1.2] The appearance perspective view of the wafer with which LSI was formed in punching process drawing 1 is shown. Next, in the wafer 2 with which two or more LSI1 was formed, as shown in drawing 2, it is an about three electrode [which was formed in the circumference part of LSI1] (surface electrode) field, is a location corresponding to each electrode, and the hole 4 for side-face electrode formation is punched and formed along the dicing line DL prepared virtually. As shown in drawing 3 (a) after punching of the hole for side-face electrode formation, insulating coating 5 of LSI and the hole for side-face electrode formation is performed.

[0015] [1.3] Next, galvanizer removes all or a part of insulating coatings of surface electrodes by laser beam machining etc., as shown in drawing 3 (b). and it is shown in drawing 3 (c) -- as -- the common plating ingredient 6 for electrodes -- using -- a surface electrode and the hole for side-face electrode formation -- plating processing is performed inside and let both be switch-on. Next, predetermined coating processing of polyimide coating etc. is performed to a surface electrode and the hole for side-face electrode formation.

[0016] [1.4] Separate a dicing process, next a wafer 2 and perform dicing that it should make a semiconductor chip. In this case, the dicing of a wafer 2 is performed along with the straight line (it

displays on drawing 2 as a dicing line DL) passing through the central point of the hole 4 for side-face electrode formation, and a semiconductor chip 20 (refer to drawing 4) is obtained. Thereby, the hole 4 for side-face electrode formation is equally divided into two, and serves as the side-face electrode 10. The appearance perspective view of a side-face electrode is shown in drawing 4. As shown in drawing 4, the side-face electrode 10 serves as a configuration which divided the bamboo into one half. In addition, if it is necessary to reduce the thickness of the semiconductor chip 20 obtained, it is possible to reduce thickness by giving mechanical polish or chemical polish to field (rear face of semiconductor chip; component side) 20A which counters before dicing at the LSI forming face of a wafer 2. In addition, if it is in a half dicing condition, it is also possible by giving mechanical polish or chemical polish after dicing to field 20A to reduce thickness.

[0017] [2] Explain mounting to the substrate of a semiconductor chip, next mounting to the substrate of a semiconductor chip for every substrate.

[2.1] In the case of a flexible substrate, explain first the case where the substrate for mounting is a flexible substrate first. As shown in drawing 5 (a) and (b), when the mounting place of a semiconductor chip 20 is the flexible substrate 30, it considers as the overhang pattern which has arranged the circuit pattern 31 of the flexible substrate 30 in the location corresponding to the side-face electrode 10 of a semiconductor chip 20. As an ingredient of a circuit pattern 31, copper (Cu), nickel (nickel), gold (Au), etc. are used. And while the tool TL which supported the semiconductor chip 20 by approaches, such as adsorption, performs alignment of a semiconductor chip 20, it mounts, pressurizing by the predetermined pressure from a direction (an arrow head shows among drawing 5 (a).) perpendicular to the flexible substrate 30.

[0018] In this case, as it is indicated in drawing 6 as the side-face electrode 10 of a semiconductor chip 20, and the circuit pattern (overhang pattern) 31 of the flexible substrate 30, it will be in a contact condition and will flow. Moreover, as the component-side side of the side-face electrode 10 serves as a taper configuration as it is shown in drawing 7 (b), if the hole 4 for side-face electrode formation is formed so that the configuration of the side-face electrode by the side of the component side of a semiconductor chip may turn into a taper configuration at the time of punching, as shown in drawing 7 (a), and shown in drawing 8, the circuit pattern 31 (overhang pattern) of the side-face electrode 10 of a semiconductor chip 20 and the flexible substrate 30 and ** will be in a connection condition electrically more certainly. What is necessary is just to punch by the laser beam of a predetermined output from an LSI forming face side, in order to form the hole 4 for side-face electrode formation of such a taper configuration. It is also possible to form a circuit pattern (overhang pattern) 31 with an ingredient with high elasticity furthermore, and to raise the certainty of electrical installation according to the repulsive force accompanying deformation of the circuit pattern (overhang pattern) 31 by mounting of a semiconductor chip 20. It is also possible to constitute so that solder plating may be beforehand performed to the circuit pattern (overhanging pattern) 31, the side-face electrode 10 and soldering may be performed further again and electrical installation may be secured.

[0019] [2.2] When forming a penetration through hole in a ceramic substrate, the substrate for mounting is a ceramic substrate next, and explain the case where a penetration through hole is formed in this ceramic substrate, with reference to drawing 9. As shown in drawing 9, the substrate side side-face electrode 43 is formed by forming the penetration through hole 42 connected with the following layer, and failing to extract the one half by the side of semiconductor chip 20 arrangement of this penetration through hole 42 at the time of formation of the surface substrate 41 used as the outermost layer of the multilayered ceramic substrate 40 of the Green condition (before baking). Then, the substrate 45 which constitutes other layers containing the surface substrate 41 which pierced the part equivalent to the crevice 44 for semiconductor chip mounting is made to rival, and it calcinates, and considers as a multilayered ceramic substrate 40. And as shown in drawing 9, between the side-face electrode 10 of a semiconductor chip 20 and the substrate side side-face electrodes 43 is electrically connected through the anisotropy electric conduction adhesives 46 containing an electric conduction particle. Consequently, since the bonding weight at the time of mounting can be reduced since it is not necessary to put in the anisotropy electric conduction adhesives 46 between the substrates 45 by which the

laminating is carried out to the degree of a semiconductor chip 20 and the surface substrate 41, and unnecessary stress is not received in a semiconductor chip 20, change of the property of a semiconductor chip 20 can be controlled and the breakage at the time of mounting can be avoided. That is, since it is not necessary to extrude the air bubbles formed between the anisotropy electric conduction adhesives 46, substrate side wiring or the anisotropy electric conduction adhesives 46, and a substrate front face, extruding the anisotropy electric conduction adhesives 46 containing an electric conduction particle in the direction of a side face at the time of semi-conductor mounting and a large load is not impressed to the half-1 trillion - body chip 20, change of the property of a semiconductor chip 20 can be controlled and the breakage at the time of mounting can be avoided.

[0020] [2.3] When forming a penetration through hole in a rigid substrate, the substrate for mounting is a rigid substrate next, and explain the case where a penetration through hole is formed in this rigid substrate, with reference to drawing 10. The penetration through hole 51 penetrated to all the layers or the predetermined layer of the multilayer rigid substrate 50 is formed, it faces forming the crevice 52 for semiconductor chip mounting by mechanical cutting, and it is failed to one half extent of the depth direction first, to delete the one half by the side of semiconductor chip 20 arrangement of the penetration through hole 51 for the penetration through hole 51, as shown in drawing 10. By this, the penetration through hole 51 will form the substrate side side-face electrode 53. And as shown in drawing 10, between the side-face electrode 10 of a semiconductor chip 20 and the substrate side side-face electrodes 53 is connected through the anisotropy electric conduction adhesives 54 containing an electric conduction particle. Consequently, it is not necessary to put in the anisotropy electric conduction adhesives 54 between substrate side 50A which a semiconductor chip 20 and a semiconductor chip counter like the case of the ceramic substrate explained in [2.2] terms. Therefore, since the bonding weight at the time of mounting can be reduced and unnecessary stress is not applied to a semiconductor chip 20, change of the property of a semiconductor chip 20 can be controlled and breakage can be prevented.

[0021] [2.4] Continue, when forming a inner layer through hole (non-penetrating through hole) in a substrate, and the substrate for mounting is a ceramic substrate or a rigid substrate, and explain to this substrate the case where inner layer through hole formation is carried out, with reference to drawing 11. First, even a predetermined inner layer substrate [substrate / of the multilayer substrate 60 which is a multilayered ceramic substrate or a multilayer rigid substrate / surface] forms the inner layer through hole 61, and between a surface substrate and inner layer substrates is connected electrically. And the case of a ceramic substrate makes the substrate which constitutes each class containing the substrate which pierced the part equivalent to the crevice 62 for semiconductor chip mounting rival, calcinates it, and uses it as a multilayered ceramic substrate. Moreover, in the case of a rigid substrate, the crevice 62 for semiconductor chip mounting is formed by mechanical cutting. In this case, the substrate side side-face electrode 63 is formed by failing to delete the one half by the side of semiconductor chip 20 arrangement of the inner layer through hole 61. And as shown in drawing 11, between the side-face electrode 20 of a semiconductor chip 20 and the substrate side side-face electrodes 63 formed using the inner layer through hole is connected through the anisotropy electric conduction adhesives 64 containing an electric conduction particle.

[0022] Consequently, it is not necessary to put in the anisotropy electric conduction adhesives 64 between the substrate sides 65 where a semiconductor chip 20 and a semiconductor chip 20 counter like the case of the ceramic substrate or rigid substrate explained in [2.2] terms and [2.3] terms. Therefore, since the bonding weight at the time of mounting can be reduced and unnecessary stress is not applied to a semiconductor chip 20, change of the property of a semiconductor chip 20 can be controlled and breakage can be prevented.

[0023] Moreover, as shown in drawing 12, in case the surface circuit pattern 71 and the inner layer circuit pattern 72 are connected with a wire 73 with wirebonding equipment and a semiconductor chip 20 is mounted as approaches other than the approach of connecting through the anisotropy electric conduction adhesives 54 containing an electric conduction particle, a wire 73 is put between the side-face electrode 10 by the side of a semiconductor chip, and the inner layer circuit pattern 72 (substrate).

By this, as it is indicated in drawing 12 as the side-face electrode 10 of a semiconductor chip 20, and a wire 73, it will be in a contact condition and will flow. In drawing 12, although the case where connect a wire 73 to the surface circuit pattern 71 side first, and it connects with the inner layer circuit pattern 72 side after that is illustrated, it is also possible to constitute so that a wire 73 may be first connected to the inner layer circuit pattern 72 side. Furthermore, you may make it put in epoxy system adhesives etc. in each above-mentioned configuration if needed between the substrates 72 with which a semiconductor chip 20 and a semiconductor chip 20 counter.

[0024] [3] Since the bonding weight at the time of mounting can be reduced as compared with the conventional mounting approach and shearing stress of the direction of a flat surface is not given to a semiconductor chip like explanation beyond the effectiveness of an operation gestalt according to this operation gestalt, change of the property of a semiconductor chip can be controlled and breakage can be prevented. Moreover, it is hard to be influenced of deformation (deformation of the direction of a flat surface) by the semiconductor chip accompanying a temperature change etc., or the substrate, and is hard to generate a crack etc. in a connection, and the side-face electrode by the side of a semiconductor chip and the side-face electrode by the side of a substrate can improve connection dependability. That is, to shearing stress having been to be conventionally applied in the direction which goes direct to an electrode, according to this operation gestalt, the electrode and substrate electrode of a semiconductor chip are connected in the form of being parallel to shearing stress, and it will have elasticity, and has been hard coming to win popularity the effect of deformation of a semiconductor chip or a substrate. It becomes possible to reduce the thickness of the module which furthermore contains a semiconductor chip. In the above explanation, although the case where a semiconductor chip was mounted in one field of a substrate was described, since the bonding weight at the time of substrate mounting is low, mounting in both sides of a substrate is also possible.

[0025]

[Effect of the Invention] Since according to this invention the bonding weight at the time of mounting can be reduced and shearing stress of the direction of a flat surface is not given to a semiconductor chip, change of the property of a semiconductor chip can be controlled and breakage can be prevented. Moreover, connection between the electrode of a semiconductor device and a substrate electrode can be ensured, and connection dependability can be improved.

[Translation done.]